

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087628

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 27/04

H01L 21/822

H01L 27/12

(21)Application number : 09-250185

(71)Applicant : SHARP CORP

(22)Date of filing : 16.09.1997

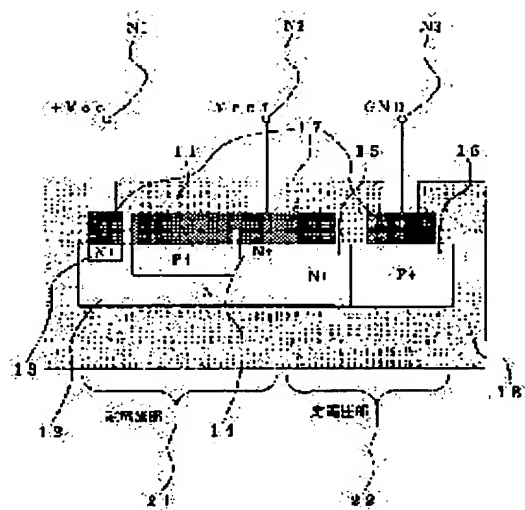
(72)Inventor : KIBI HIROYASU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reference voltage generating circuit, wherein a stable reference voltage is generated without increasing the circuit scale and power consumption, etc.

SOLUTION: In a semiconductor integrated circuit having a built-in reference voltage generating circuit, a constant current part 2 (junction gate type transistor) and a constant voltage part 22 (constant voltage diode) of the reference voltage generating circuit are constituted, using an SOI(silicon-on-insulator) device. Further, a volume-occupying P-type or N-type semiconductor region (11-16) which constitute the SOI device is kept to such volume as of constant temperature through the operation current of the reference voltage generating circuit.



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 基準電圧発生回路を内蔵した半導体集積回路に於いて、上記基準電圧発生回路の温度ドリフト低減対象部分をSOI (Silicon On Insulator) デバイスで構成して成ることを特徴とする半導体集積回路。

【請求項2】 上記SOIデバイスを構成するP型又はN型の半導体領域の占める体積が、上記基準電圧発生回路の動作電流により一定温度に保たれる体積に設計されていることを特徴とする、請求項1に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基準電圧発生回路を内蔵した半導体集積回路に関するものである。

【0002】

【従来の技術】 基準電圧発生回路は、図3や、図4及び図5に示すように、+Vcc電極N1とGND電極N3との間に電源を接続して、Vref電極N2から安定な基準電圧を発生させることを目的としている。そのため、電源電圧の変動による影響を受けないようにするため、基本的な構造は、図3のように、定電流部21から定電圧部22へ定電流Izを供給する回路構成になっている。

【0003】 さらに、この回路は、基準電圧の熱的安定性も問題になってくるため、通常、以下のような対策がなされている。

【0004】 第1の方法は、温度補償法を用いたもので、図4及び図5のように、温度ドリフト源（トランジスタQ1、Q1'、Q2'、Q3'、ダイオードDi1、Di2、ツェナーダイオードDz、抵抗R1、R2、R1'、R2'、R3'）の温度係数が互いに打ち消しあってゼロとなるように回路を構成しているものである。

【0005】 第2の方法は、温度管理によるもので、基準電圧発生回路の近傍に、感熱素子と発熱素子とを置き、発熱量（電力）をコントロールする温度制御回路によって基板温度を一定に保つものである。

【0006】 例えば、特開昭55-74166号公報に示されるものにおいては、図6に示すように、半導体素子41の温度を一定に保つために、半導体素子41内に温度検出用の感温素子42が組み込まれ、半導体素子41の直下に設けられた発熱抵抗膜43が導電体膜44、44を介して、上記感温素子42よりの出力によって制御される直流制御電源45に接続されている。感温素子42からの信号により、直流制御電源45が発熱抵抗膜43に供給する電流を制御して、半導体素子41の温度を一定に保つことができるものである。

【0007】 また、特開平5-235127号公報に示されるものにおいては、図7に示すように、基板上に形

成された絶縁層上にある温度制御対象の能動素子を有するSOIデバイス51の温度を一定に保つために、該SOIデバイス51上に表面バッシベーション膜を介して第1薄膜52と第2薄膜53とが積層され、接合層が形成されている。また、上記第1薄膜52と第2薄膜53は、起電力検出回路54と電流制御回路55へ、それぞれ接続されていて、起電力検出回路54が上記接合層のゼーベック効果により温度検出を行い、それに基づいて電流制御回路55が供給電流を制御して、上記接合層のヘルツェ効果による発熱若しくは吸熱により温度制御を行っている。

【0008】

【発明が解決しようとする課題】 上記第1の方法による従来技術では、基準電圧発生回路内の温度ドリフトを打ち消すために、温度補償回路を追加する必要があり、回路規模の増大を招いていた。

【0009】 また、上記第2の方法による従来技術では、回路素子の動作中の温度を一定とするために、温度ドリフト低減対象とする回路付近の基板の上に、発熱素子や感温素子を置き、新たに、温度制御用回路と温度制御用電力（基板加熱のための消費電力）とが必要となった。更に、基準電圧発生回路内部は、常時、定電流Izが流れるため、動作中の変動（発生熱量）は無いが、実際の温度ドリフト原因としては、内的な要因（基準電圧発生回路内の変動等）より、外的な要因（他の回路内の温度変動による影響等）もあった。

【0010】 本発明は、上記従来の問題点を解決すべくなされたものである。

【0011】

【課題を解決するための手段】 本発明の半導体集積回路は、基準電圧発生回路を内蔵した半導体集積回路に於いて、上記基準電圧発生回路の温度ドリフト低減対象部分をSOI (Silicon On Insulator) デバイスで構成して成ることを特徴とするものである。

【0012】 更に、本発明の半導体集積回路は、上記SOIデバイスを構成するP型又はN型の半導体領域の占める体積が、上記基準電圧発生回路の動作電流により一定温度に保たれる体積に設計されていることを特徴とするものである。

【0013】 かかる、本発明の半導体集積回路によれば、SOIデバイスの特性により、外部からの温度変化の影響を受けにくく、また、内部からの一様加熱による保温効果と一定な発生熱量（定電流による）のため、動作中の温度を安定に保つことができるものである。

【0014】

【発明の実施の形態】 以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0015】 図1は、本発明の一実施形態に係る基準電圧発生回路の断面構造図である。等価回路的には、図3

に示す回路と同一である。

【0016】定電流部21と定電圧部22とは、動作機能が同一であれば、他の構造のものでもよいが、ここでは、説明を容易にするため、接合ゲート型FET（定電流部21）と定電圧ダイオード（定電圧部22）の場合を例にとり説明する。

【0017】この第1の実施形態は、温度ドリフト低減対象が、基準電圧発生回路の定電流部21と定電圧部22の双方であるものである。

【0018】図1において、ゲートとなるP⁺領域11と、チャネルとなるN領域12と、ドレインとなるN⁺領域13と、ソースとなるN⁺領域14とで、定電流部21である接合ゲート型FETを形成し、カソードとなるN⁺領域15と、アノードとなるP⁺領域16とで、定電圧部22である定電圧ダイオードを形成している。

【0019】また、定電流部21のソースとなるN⁺領域14と、定電圧部22のカソードとなるN⁺領域15とは、直接接合して、定電流部21と定電圧部22との間で熱が移動しやすくなっており、動作電流I_zにより、上記両部の温度が一定温度に保たれるように、上記P型及びN型の半導体領域（11～16）の体積は設計されている。そして、この上には、電極若しくは図3の等価回路のように配線する配線を構成する導電性膜17が形成されており、周囲が絶縁膜18で覆われている。

【0020】+Vcc電極N1と、GND電極N3との間に電源を接続して発生する回路内の熱は、周囲が絶縁膜18で覆われ、かつ、接触している導電性膜17を介して行われる熱の伝導は少ないために、外部との熱の出入りがほとんど無く、P型若しくはN型の半導体領域（11～16）中に拡散される。更に、定電流動作により、基準電圧発生回路内の発生熱量は一定であることと、P型若しくはN型の半導体領域（11～16）の占める体積が、動作電流により一定温度に保たれるように設計されていることにより、回路素子の動作中の温度は安定する。

【0021】ただし、P型若しくはN型の半導体領域（11～16）の占める体積は、発生熱量と拡散熱量がほぼ平衡し、SOIデバイスの動作温度が周囲より高いが、許容温度は超えない程度に設計され、また、基準電圧発生回路は、大電流が変化するような部分から離され、温度変動の少ない基板上の位置にあるものとする。また、基準電圧を参照する回路の入力インピーダンスは高く、この基準電圧発生回路に影響（動作電流）を与えないものとする。

【0022】このため、基準電圧発生回路の定電流部21と定電圧部22の温度ドリフトは低減し、Vref電極N2から安定な基準電圧を発生させることができる。

【0023】次に、本発明の第2の実施形態について説明する。

【0024】図2は、本発明の第2の実施形態に係る基準電圧発生回路の断面構造図である。等価回路的には、図3に示す回路と同一である。

【0025】定電流部21と定電圧部22とは、動作機能が同一であれば、他の構造のものでもよいが、ここでは、説明を容易にするため、接合ゲート型FET（定電流部21）と定電圧ダイオード（定電圧部22）の場合を例にとり説明する。

【0026】この第2の実施形態は、基準電圧発生回路の定電圧部22のみを温度ドリフト低減対象としているものである。

【0027】図2において、ゲートとなるP⁺領域11'と、チャネルとなるN領域12'と、ドレインとなるN⁺領域13'と、ソースとなるN⁺領域14'とで、定電流部21である接合ゲート型FETを形成し、カソードとなるN⁺領域15'と、アノードとなるP⁺領域16'とで、定電圧部22である定電圧ダイオードを形成している。

【0028】また、チャネルとなるN領域12'と、カソードとなるN⁺領域15'とは、絶縁膜18'によって分離され、接触している導電性膜17'を介して行われる熱の伝導は少ないので、定電流部21と定電圧部22との間で熱の移動は無く、また、温度ドリフト低減対象である定電圧部22のN⁺領域15'とP⁺領域16'の占める体積は、動作電流I_zにより一定の温度に保たれるように設計されている。そして、この上には、電極若しくは図3の等価回路となるように配線する配線を形成する導電性膜17'が形成され、周囲を絶縁膜18'で覆っているために、外部との熱の出入りがほとんど無い。

【0029】+Vcc電極N1とGND電極N3との間に電源を接続すると、上記第1の実施形態と同様な理由により、基準電圧発生回路の定電圧部22の温度ドリフトが低減されるので、Vref電極N2から安定な基準電圧が得られるものである。

【0030】なお、図2に示す定電流部21は、専用の定電流源であるが、専用の定電流源が無く、他の回路の定電流源を共用する構成としてもよいものである。

【0031】

【発明の効果】以上詳細に説明したように、本発明の半導体集積回路は、基準電圧発生回路を内蔵した半導体集積回路に於いて、上記基準電圧発生回路の温度ドリフト低減対象部分をSOI（Silicon On Insulator）デバイスで構成して成ることを特徴とするものであり、更に、本発明の半導体集積回路は、上記SOIデバイスを構成するP型又はN型の半導体領域の占める体積が、上記基準電圧発生回路の動作電流により一定温度に保たれる体積に設計されていることを特徴とするものであり、かかる本発明の半導体集積回路によれば、容易に、動作中の温度が安定な基準電圧発生回路を

構成することができ、回路規模の縮小化、小型化及び低消費電力化を達成することができるものである。

【0032】なお、従来の温度補償法を用いた基準電圧発生回路に本発明を適用すれば、更に安定した出力が得られる基準電圧発生回路を構成することができるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る基準電圧発生回路の断面構造図である。

【図2】本発明の他の実施形態に係る基準電圧発生回路の断面構造図である。

【図3】一般的な基準電圧発生回路の回路構成図である。

【図4】温度補償回路を用いた基準電圧発生回路の回路構成図である。

【図5】温度補償回路を用いた他の基準電圧発生回路の*

*回路構成図である。

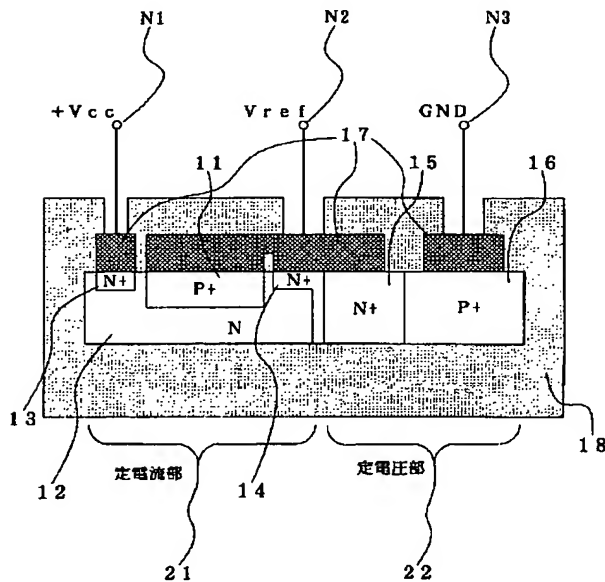
【図6】従来の温度管理方法の説明に供する図である。

【図7】従来の他の温度管理方法の説明に供する図である。

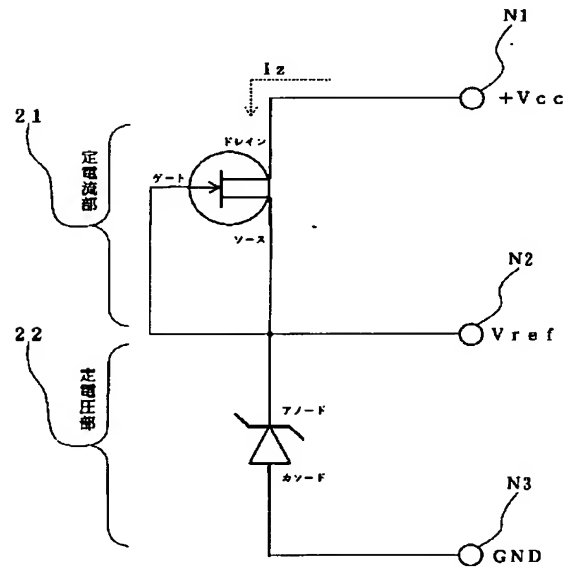
【符号の説明】

11、11'	P ⁺ 領域（ゲート）
12、12'	N領域（チャネル）
13、13'	N ⁺ 領域（ドレイン）
14、14'	N ⁺ 領域（ソース）
15、15'	N ⁺ 領域（カソード）
16、16'	P ⁺ 領域（アノード）
17、17'	導電性膜
18、18'	絶縁膜
21	定電流部
22	定電圧部

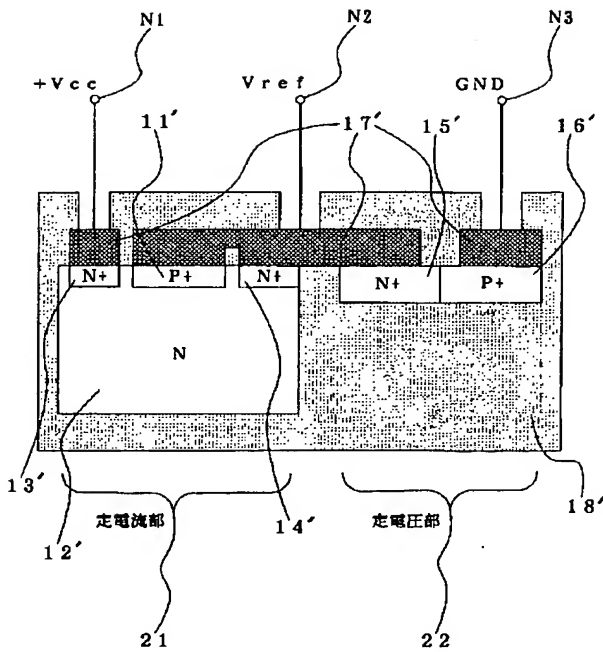
【図1】



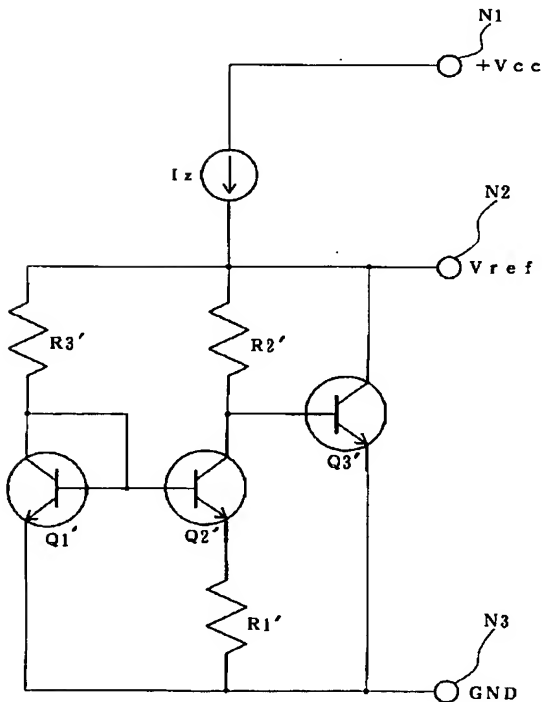
【図3】



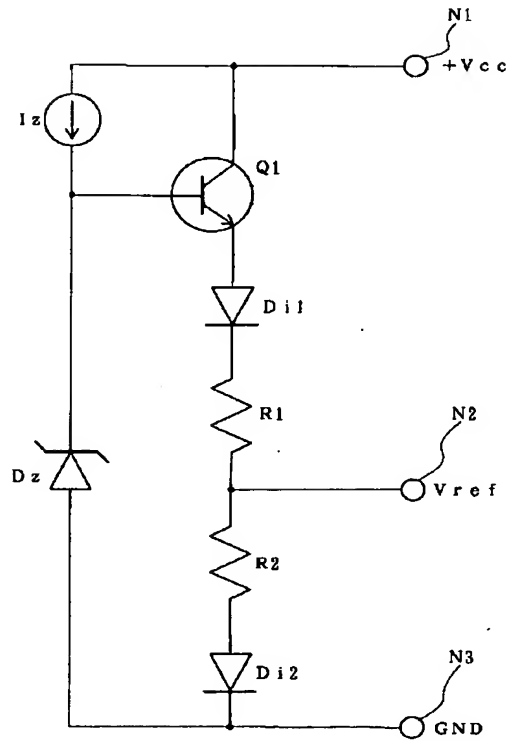
【図2】



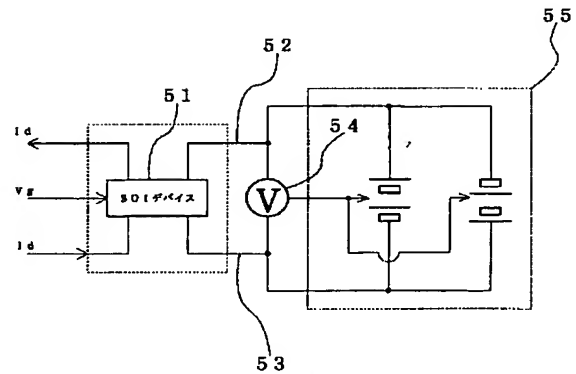
【図5】



【図4】



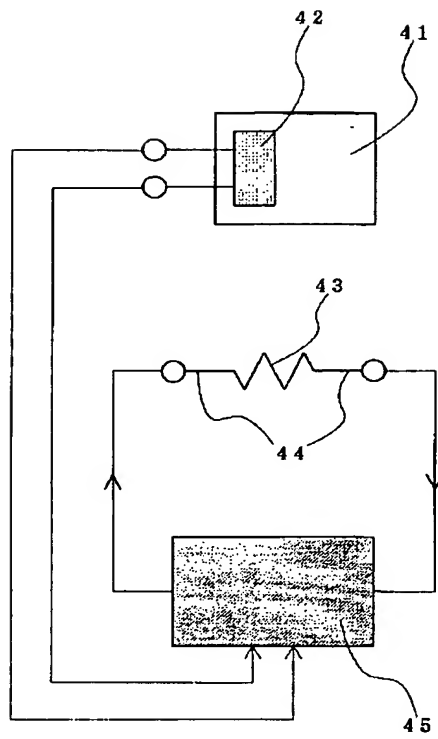
【図7】



(6)

特開平 1 1 - 8 7 6 2 8

【図 6】



BEST AVAILABLE COPY